

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-154599

(43)Date of publication of application : 08.06.2001

(51)Int.CI.

G09F 9/00

G02F 1/1339

G02F 1/1343

(21)Application number : 11-338194

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 29.11.1999

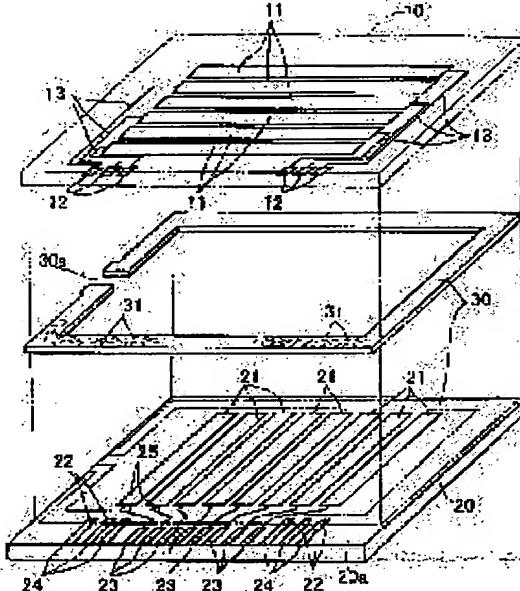
(72)Inventor : BABA MIKIO

## (54) PANEL TYPE ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To connect cross electrodes of a pair of substrates in a good conducting state without shorting adjacent lead wiring or terminal electrodes to each other or lead wiring connecting to these terminal electrodes or another terminal electrodes.

**SOLUTION:** Plural rod-like conductive fillers 31 having the length shorter than the smallest spacing within substrate joining regions by sealing materials 30 for joining an upper substrate 10 which is provided with the first electrodes 11 and the upper cross electrodes 12 and a lower substrate 20 which is provided with the second electrodes 21 and the lower cross electrodes 22 and is arrayed and formed with the plural terminal electrodes 23 and 24 directly or via the lead wiring 25 to the second electrodes 21 and the lower cross electrodes 22 in terminal arraying parts 20a among the respective spacings between a plurality of the lead wiring 25 and a plurality of the terminal electrodes 23 and 24 are incorporated into the sealing materials 30 and these rod-shaped fillers 31 are grasped between the substrates 10 and 20 in the state of lying down the fillers in parallel to the substrate surfaces. The upper cross electrodes 12 and the lower cross electrodes 22 are electrically connected by the rod-shaped fillers 31 grasped therebetween.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.  
3. In the drawings, any words are not translated.

**[Claim(s)]**

**[Claim 1]** The 1st substrate and the 2nd substrate which has the terminal array section which projects in at least 1 side on the outside of said 1st substrate, was made to counter said 1st substrate, and has been arranged, It has the sealant of the shape of a frame which joins said the 1st substrate and 2nd substrate in the field corresponding to the periphery section of said 1st substrate. 1st at least one electrode formed in the field surrounded by the inside of said 1st substrate by said sealant among the insides which counter mutually [ said 1st substrate and said 2nd substrate ], Two or more 2nd electrodes which it is formed in the substrate junction field by said sealant, and 1st at least one cross electrode connected with said 1st electrode is prepared, and counter the inside of said 2nd substrate with said 1st electrode, Array formation is carried out at said 1st cross electrode, the 2nd cross electrode which counters, and said terminal array section. Two or more terminal electrodes connected with said two or more 2nd electrodes and said 2nd cross electrode through two or more direct or lead wiring, respectively are prepared. While two or more conductive rod-like fillers which have the die length shorter than the smallest spacing in said substrate junction field among each spacing of said two or more lead wiring and two or more of said terminal electrodes are mixed into said sealant These cylindrical fillers are pinched between said 1st substrate and 2nd substrate in the condition of having lodged to said substrate side and parallel. The panel mold component characterized by said 1st cross electrode and said 2nd cross electrode being electrically connected by said cylindrical filler pinched by these cross inter-electrode.

**[Claim 2]** The 1st cross electrode prepared in the 1st substrate and the 2nd cross electrode prepared in the 2nd substrate, respectively Every array formation is carried out by more than one in the predetermined part of the substrate junction field by the sealant. The smallest spacing [ die length / of two or more cylindrical fillers mixed into said sealant ] in said substrate junction field of each spacing of two or more lead wiring and two or more terminal electrodes, The panel mold component according to claim 1 characterized by

being shorter than any of spacing of said two or more 1st [ the ] and 2nd cross electrode.

**[Claim 3]** The cylindrical filler mixed into the sealant is a panel mold component according to claim 1 or 2 characterized by consisting of a conductive metal.

**[Claim 4]** The resin material in which the cylindrical filler mixed into the sealant was formed in the shape of a rod, Consist of a conductive metal membrane which covers the front face of this resin material, and a crack occurs in said conductive metal membrane according to crushing deformation of said cylindrical filler by the pressurization at the time of joining the 1st substrate and 2nd substrate. The panel mold component according to claim 1 or 2 characterized by for said resin material oozing out from the crack, and pasting said 1st and 2nd substrates.

**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** This invention relates to a panel mold component.

**[0002]**

**[Description of the Prior Art]** As a panel mold component, there are an electro-optics display panel represented by the liquid crystal display panel, a touch input panel, etc.

**[0003]** This kind of panel mold component is the inside which counters mutually [ these substrates ] while joining the substrate of the pair by which opposite arrangement was carried out mutually through a frame-like sealant with the configuration of having prepared the electrode, respectively, for example, in the case of the liquid crystal display panel, the field surrounded by said sealant between the substrates of said pair is filled up with liquid crystal.

**[0004]** By the way, although there are what prepared the terminal electrode for connecting to an external circuit the electrode prepared in the inside of the substrate of a pair in each substrate, and a thing which prepared all the terminal electrodes in one substrate in said panel mold component, in respect of the ease of connection of an external circuit, the latter panel mold component is advantageous.

**[0005]** The 2nd substrate which the panel mold component of said latter has the terminal array section which generally projects in the 1st substrate and at least 1 side on the outside of said 1st substrate, made counter said 1st substrate, and has been arranged, 1st at least one electrode formed in the field which was equipped with the sealant of the shape of a frame which joins said the 1st substrate and 2nd substrate in the field corresponding to the periphery section of said 1st substrate, and was surrounded by the inside of

said 1st substrate by said sealant, Two or more 2nd electrodes which are formed in the substrate junction field by said sealant, prepare 1st at least one cross electrode connected with said 1st electrode, and counter the inside of said 2nd substrate with said 1st electrode, Array formation is carried out at said 1st cross electrode, the 2nd cross electrode which counters, and said terminal array section. While preparing two or more terminal electrodes connected with said two or more 2nd electrodes and said 2nd cross electrode through two or more direct or lead wiring, respectively By mixing two or more conductive fillers which consist of spherical metal particles into said sealant, and making the spherical filler in this sealant pinch between said 1st substrate and 2nd substrate Said 1st cross electrode and said 2nd cross electrode are electrically connected by said spherical filler pinched by these cross inter-electrode.

[0006]

[Problem(s) to be Solved by the Invention] However, said 1st cross electrode and the 2nd cross electrode with which the above-mentioned conventional panel mold component was prepared in the 1st substrate and 2nd substrate, In order that the spherical filler in said sealant may only carry out point contact in one point of the spherical surface of said spherical filler, respectively, The electric resistance of the contact section of said 1st cross electrode and the 2nd cross electrode, and said spherical filler is high, and said 1st cross electrode and the 2nd cross electrode cannot be connected by good switch-on.

[0007] This invention aims at offering the panel mold component which can connect the 1st cross electrode and the 2nd cross electrode which were prepared in the 1st substrate and 2nd substrate by good switch-on.

[0008]

[Means for Solving the Problem] The 2nd substrate with which the panel mold component of this invention has the 1st substrate and the terminal array section to which it projects in at least 1 side on the outside of said 1st substrate, was made to counter said 1st substrate, and has been arranged, It has the sealant of the shape of a frame which joins said the 1st substrate and 2nd substrate in the field corresponding to the periphery section of said 1st substrate. 1st at least one electrode formed in the field surrounded by the inside of said 1st substrate by said sealant among the insides which counter mutually [ said 1st substrate and said 2nd substrate ], Two or more 2nd electrodes which it is formed in the substrate junction field by said sealant, and 1st at least one cross electrode connected with said 1st electrode is prepared, and counter the inside of

said 2nd substrate with said 1st electrode, Array formation is carried out at said 1st cross electrode, the 2nd cross electrode which counters, and said terminal array section. Two or more terminal electrodes connected with said two or more 2nd electrodes and said 2nd cross electrode through two or more direct or lead wiring, respectively are prepared. While two or more conductive rod-like fillers which have the die length shorter than the smallest spacing in said substrate junction field among each spacing of said two or more lead wiring and two or more of said terminal electrodes are mixed into said sealant These cylindrical fillers are pinched between said 1st substrate and 2nd substrate in the condition of having lodged to said substrate side and parallel. It is characterized by said 1st cross electrode and said 2nd cross electrode being electrically connected by said cylindrical filler pinched by these cross inter-electrode.

[0009] Said cylindrical filler pinched between said 1st substrate and 2nd substrate in the condition of according to this panel mold component it having been mixed into said sealant and having lodged to a substrate side and parallel In order to carry out line contact along the die-length direction of this cylindrical filler to said 1st cross electrode and the 2nd cross electrode which were prepared in said the 1st substrate and 2nd substrate, The electric resistance of the contact section of said 1st cross electrode and the 2nd cross electrode, and said cylindrical filler can be made low, and said 1st cross electrode and the 2nd cross electrode can be connected by good switch-on.

[0010] And with this panel mold component, since the die length of said cylindrical filler is shorter than the smallest spacing in said substrate junction field among each spacing of said two or more lead wiring and two or more of said terminal electrodes, lead wiring which leads to adjacent lead wiring, terminal electrodes or said terminal electrode, and other terminal electrodes does not short-circuit through said cylindrical filler.

[0011]

[Embodiment of the Invention] The 1st substrate with which, as for the panel mold component of this invention, 1st at least one cross electrode connected with said 1st electrode to the substrate junction field in which 1st at least one electrode is prepared both according to a frame-like sealant was prepared as mentioned above, said 1st electrode, two or more 2nd electrodes which counter, said 1st cross electrode, and the 2nd cross electrode which counters are prepared -- both In said sealant to which two or more terminal electrodes connected with the terminal array section which projects on the outside of said 1st substrate through two or more direct or lead

wiring at said two or more 2nd electrodes and said 2nd cross electrode, respectively join the 2nd substrate by which array formation was carried out. The inside of each spacing of said two or more lead wiring and two or more of said terminal electrodes, Two or more conductive rod-like fillers which have die length shorter than the smallest spacing in said substrate junction field are mixed. These cylindrical fillers are made to pinch between said 1st substrate and 2nd substrate in the condition of having lodged to said substrate side and parallel. Said 1st cross electrode and the 2nd cross electrode by connecting electrically said 1st cross electrode and said 2nd cross electrode by said cylindrical filler pinched by these cross inter-electrode by good switch-on. And it enables it to connect, without lead wiring which leads to adjacent lead wiring, terminal electrodes or said terminal electrode, and other terminal electrodes short-circuiting through said cylindrical filler.

[0012] The 1st cross electrode prepared in said 1st substrate in the panel mold component of this invention,

[Brief Description of the Drawings]

[Drawing 1] The decomposition perspective view of a panel mold component showing the 1st example of this invention.

[Drawing 2] Some expansion top views of the frame-like sealant in the panel mold component of the 1st example.

[Drawing 3] The perspective view of the conductive filler mixed in said sealant.

[Drawing 4] The expanded sectional view which met in the direction of a path and the die-length direction of a cylindrical filler in the cross electrode section of the panel mold component of the 1st example.

[Drawing 5] The perspective view of the initial state of the cylindrical filler mixed into the sealant which shows the 2nd example of this invention.

[Drawing 6] The perspective view in the condition of having pressurized in the direction of a path of said cylindrical filler.

[Drawing 7] The expanded sectional view which met in the direction of a path of the cylindrical filler in the cross electrode section of the panel mold component of the 2nd example.

[Description of Notations]

10 -- Top substrate (the 1st substrate)

11 -- Scan electrode (the 1st electrode)

12 -- Top cross electrode (1st cross electrode)

13 -- Lead wiring

20 -- Bottom substrate (the 2nd substrate)

20a -- Terminal array section

21 -- Signal electrode (the 2nd electrode)

22 -- Bottom cross electrode (2nd cross electrode)

23 24 -- Terminal electrode

25 -- Lead wiring

30 -- Sealant

31 32 -- Cylindrical filler

33 -- Resin material

34 -- Conductive metal membrane

34a -- Crack

(10) 일본특허청 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-154599  
(P2001-154599A)

(13) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.  
G 09 F 9/00  
G 09 F 1/1339  
1/1343

現別記号  
848  
849  
505  
1/1343

F.I  
G 09 F 9/00  
G 09 F 1/1339  
1/1343

F.O-I (請求項)  
348B 2H089  
348A 2H092  
505 5G435

審査請求未請求 請求項の数4 O.I. (全) B.P.O

(21) 出願番号 特願平11-338194  
(22) 出願日 平成11年11月29日(1999.11.29)

(23) 出願人 カシオ計算機株式会社  
東京都豊島区西巣鴨1丁目6番2号  
(24) 発明者 丹羽 桂司  
東京都八王子市石川町2851番地の5 カシオ計算機株式会社八王子研究所  
(25) 代理人 100068479  
弁理士 佛江 武蔵 (外5名)  
Fターム(技術) 2D09 L409 LA11 N408 N425 N441  
PA04 QA12 TA03 TAD8  
2D092 GA08 GA09 H414 HA16 NA16  
NA29 PA03 PA04  
EC035 AA10 SE42 SE12

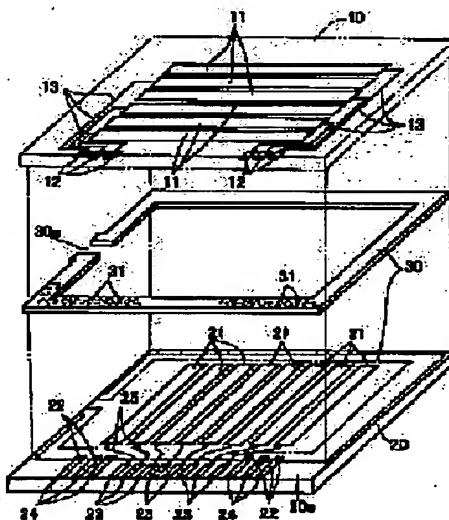
(54) 【発明の名称】 バネル型電子

(57) 【要約】

【課題】 一对の基板のクロス電極を良好な接合状態で、しかも、隣り合うリード配線同士または端子電極同士、あるいは前記端子電極と他の端子電極につながるリード配線とを短絡させることなく接続する。

【解決手段】 第1の電極11と上クロス電極12が設けられた上基板10と、第2の電極21と下クロス電極22が設けられるよりも、端子配列部2-0-aに前記第2の電極21および下クロス電極22に直接またはリード配線25を介してつながる複数の端子電極23、24が配列形成された下基板20とを接合するシール材30中に、複数のリード配線25および複数の端子電極23、24のそれぞれの間隔のうち、シール材30による基板

接合領域内における最も小さい間隔よりも短い長さを有する棒状の複数の導電性フィラー31を追加し、これらの棒状フィラーフィラー31を、基板面と平行に倒伏した状態で基板10、20間に挟持させ、前記上クロス電極12と下クロス電極22とを、これらの間に挟持された棒状フィラーフィラー31により電気的に接続した。



#### 【特許請求の範囲】

【請求項 1】第1の基板と、少なくとも一側に前記第1の基板の外側に突出する端子配列部を有し、前記第1の基板に対向させて配置された第2の基板と、前記第1の基板の周縁部に対応する領域において前記第1の基板と第2の基板とを接合する構造のシール材とを備え。

前記第1の基板と前記第2の基板の互いに対向する内面のうち、前記第1の基板の内面に、前記シール材で囲まれた領域に形成された少なくとも1つの第1の電極と、前記シール材による基板接合領域に形成され、前記第1の電極につながる少なくとも1つの第1のクロス電極とが設けられ、前記第2の基板の内面に、前記第1の電極と対向する複数の第2の電極と、前記第1のクロス電極と対向する第2のクロス電極と、前記端子配列部に配列形成され、前記複数の第2の電極および前記第2のクロス電極に直接または複数のリード配線を介してそれぞれつながる複数の端子電極とが設けられ。

前記シール材中に、前記複数のリード配線および前記複数の端子電極のそれぞれの間隔のうち、前記基板接合領域内における最も小さい間隔よりも短い長さを有する棒状の複数の導電性フィラーが混入されるとともに、これらの棒状フィラーハ、前記基板面と平行に倒伏した状態で前記第1の基板と第2の基板との間に保持され、前記第1のクロス電極と前記第2のクロス電極とが、これらのクロス電極間に挟持された前記棒状フィラーにより電気的に接続されていることを特徴とするパネル型素子。

【請求項 2】第1の基板に設けられた第1のクロス電極と、第2の基板に設けられた第2のクロス電極とがそれぞれ、シール材による基板接合領域の所定個所に複数ずつ配列形成されており、前記シール材中に混入された複数の棒状フィラーの長さが、複数のリード配線および複数の端子電極のそれぞれの間隔のうちの前記基板接合領域内における最も小さい間隔と、前記複数の第1および第2のクロス電極の間隔のいずれよりも短いことを特徴とする請求項1に記載のパネル型素子。

【請求項 3】シール材中に混入された棒状フィラーは、導電性金属からなっていることを特徴とする請求項1または2に記載のパネル型素子。

【請求項 4】シール材中に混入された棒状フィラーは、棒状に形成された樹脂材と、この樹脂材の表面を被覆する導電性金属膜とからなっており、第1の基板と第2の基板とを接合する際の加圧による前記棒状フィラーの潰れ変形により前記導電性金属膜に亀裂が発生し、その亀裂から前記樹脂材が滲み出して前記第1および第2の基板に接着することを特徴とする請求項1または2に記載のパネル型素子。

#### 【発明の詳細な説明】

##### 【0.0.0.1】

【発明の属する技術分野】この発明は、パネル型素子に関するものである。

#### 【0.0.0.2】

【従来の技術】パネル型素子としては、液晶表示パネルに代表される電気光学表示パネルや、タッチ入力パネル等がある。

【0.0.0.3】この種のパネル型素子は、互いに対向配置された一対の基板を棒状のシール材を介して接合するとともに、これらの基板の互いに対向する内面にそれぞれ電極を設けた構成となつており、例えば液晶表示パネルの場合は、前記一対の基板間に前記シール材で囲まれた領域に、液晶が充填されている。

【0.0.0.4】ところで、前記パネル型素子には、一方の基板の内面に設けられた電極を外部回路に接続するための端子電極をそれぞれの基板に設けたものと、全ての端子電極を一方の基板に設けたものとあるが、外部回路の接続の容易さの面では、後者のパネル型素子が有利である。

【0.0.0.5】前記後者のパネル型素子は、一般に、第1の基板と、少なくとも一側に前記第1の基板の外側に突出する端子配列部を有し、前記第1の基板に対向させて配置された第2の基板と、前記第1の基板の周縁部に対応する領域において前記第1の基板と第2の基板とを接合する構造のシール材とを備え、前記第1の基板の内面に、前記シール材で囲まれた領域に形成された少なくとも1つの第1の電極と、前記シール材による基板接合領域に形成され、前記第1の電極につながる少なくとも1つの第1のクロス電極とを設けり、前記第2の基板の内面に、前記第1の電極と対向する複数の第2の電極と、前記第1のクロス電極と対向する第2のクロス電極と、前記端子配列部に配列形成され、前記複数の第2の電極および前記第2のクロス電極に直接または複数のリード配線を介してそれぞれつながる複数の端子電極とが設けるとともに、前記シール材中に、球状の金属粒子からなる複数の導電性フィラーを混入し、このシール材中の球状フィラーを前記第1の基板と第2の基板との間に保持させることにより、前記第1のクロス電極と前記第2のクロス電極とを、これらのクロス電極間に挟持された前記棒状フィラーにより電気的に接続している。

##### 【0.0.0.6】

【発明が解決しようとする課題】しかし、上記従来のパネル型素子は、第1の基板と第2の基板に設けられた前記第1のクロス電極および第2のクロス電極と、前記シール材中の球状フィラーとがそれぞれ、前記球状フィラーの球面の一点において点接触するだけであるため、前記第1のクロス電極および第2のクロス電極と前記球状フィラーとの接触部の電気抵抗が高く、前記第1のクロス電極と第2のクロス電極とを良好な導通状態で接続することができない。

【0.0.0.7】この発明は、第1の基板と第2の基板に設けられた第1のクロス電極と第2のクロス電極とを良好な導通状態で接続することができるパネル型素子を提供

することを目的としたものである。

【0008】

〔課題を解決するための手段〕この発明のパネル型素子は、第1の基板と、少なくとも一側に前記第1の基板の外側に突出する端子配列部を有し、前記第1の基板に対向させて配置された第2の基板と、前記第1の基板の周縁部に対応する領域において前記第1の基板と第2の基板とを接合するねじ状のシール材とを備え、前記第1の基板と前記第2の基板の互いに対向する内面のうち、前記第1の基板の内面に、前記シール材で囲まれた領域に形成された少なくとも1つの第1の電極と、前記シール材による基板接合領域に形成され、前記第1の電極につながる少なくとも1つの第1のクロス電極とが設けられ、前記第2の基板の内面に、前記第1の電極と対向する複数の第2の電極と、前記第1のクロス電極と対向する第2のクロス電極と、前記端子配列部に配列形成され、前記複数の第2の電極および前記第2のクロス電極に直接または複数のリード配線を介してそれそれつながる複数の端子電極とが設けられ、前記シール材中に、前記複数のリード配線および前記複数の端子電極のそれぞれの間隔のうち、前記基板接合領域内における最も小さい間隔よりも短い長さを有する棒状の複数の導電性フィラーが混入されるとともに、これらの棒状フィラーが、前記基板面と平行に倒伏した状態で前記第1の基板と第2の基板との間に保持され、前記第1のクロス電極と前記第2のクロス電極とが、これらのクロス電極間に保持された前記棒状フィラーにより電気的に接続されていることを特徴とするものである。

【0009】このパネル型素子によれば、前記シール材中に混入され、基板面と平行に倒伏した状態で前記第1の基板と第2の基板との間に保持された前記棒状フィラーが、前記第1の基板と第2の基板に設けられた前記第1のクロス電極および第2のクロス電極に対して、この棒状フィラーの長さ方向に沿って線接触するため、前記第1のクロス電極および第2のクロス電極と前記棒状フィラーとの接触部の電気抵抗を低くし、前記第1のクロス電極と第2のクロス電極とを良好な導通状態で接続することができる。

【0010】しかも、このパネル型素子では、前記棒状フィラーの長さが、前記複数のリード配線および前記複数の端子電極のそれぞれの間隔のうち、前記基板接合領域内における最も小さい間隔よりも短いため、隣り合うリード配線同士または端子電極同士、あるいは前記端子電極と他の端子電極につながるリード配線とが前記棒状フィラーを介して短絡されることはない。

【0011】

〔発明の実施の形態〕この発明のパネル型素子は、上記のように、少なくとも1つの第1の電極が設けられるとともに、棒状のシール材による基板接合領域に前記第1の電極につながる少なくとも1つの第1のクロス電極が設

けられた第1の基板と、前記第1の電極と対向する複数の第2の電極と前記第1のクロス電極と対向する第2のクロス電極が設けられるとともに、前記第1の基板の外側に突出する端子配列部に前記複数の第2の電極および前記第2のクロス電極に直接または複数のリード配線を介してそれそれつながる複数の端子電極が配列形成された第2の基板とを接合する前記シール材中に、前記複数のリード配線および前記複数の端子電極のそれぞれの間隔のうち、前記基板接合領域内における最も小さい間隔よりも短い長さを有する棒状の複数の導電性フィラーを混入し、これらの棒状フィラーを、前記基板面と平行に倒伏した状態で前記第1の基板と第2の基板との間に保持させ、前記第1のクロス電極と前記第2のクロス電極とを、これらのクロス電極間に保持された前記棒状フィラーにより電気的に接続することにより、前記第1のクロス電極と第2のクロス電極とを良好な導通状態で、しかも、隣り合うリード配線同士または端子電極同士、あるいは前記端子電極と他の端子電極につながるリード配線とが前記棒状フィラーを介して短絡されることなく接続できるようにしたものである。

【0012】この発明のパネル型素子において、前記第1の基板に設けられた第1のクロス電極と、前記第2の基板に設けられた第2のクロス電極とがそれぞれ、前記シール材による基板接合領域の所定箇所に複数ずつ配列形成されているときは、前記シール材中に混入された複数の棒状フィラーの長さを、前記複数のリード配線および複数の端子電極のそれぞれの間隔のうちの前記基板接合領域内における最も小さい間隔と、前記複数の第1および第2のクロス電極の間隔のいずれよりも短くすればよく、このようにすることにより、隣り合う第1のクロス電極同士および第2のクロス電極同士または前記第1クロス電極と他の第1クロス電極と対向する第2のクロス電極との棒状フィラーによる接続もなくすことができる。

【0013】また、このパネル型素子において、前記シール材中に混入する棒状フィラーは、導電性金属からなるものでも、棒状に形成された樹脂材とこの樹脂材の表面を被覆する導電性金属膜とからなるものでもよく、後者の棒状フィラーによれば、第1の基板と第2の基板とを接合する際の加圧による前記棒状フィラーの迫り変形により前記導電性金属膜に亀裂が発生し、その亀裂から前記樹脂材が滲み出して前記第1および第2の基板に接着するため、前記棒状フィラーを前記第1および第2の基板に、より強固に固定することができる。

【0014】

〔実施例〕図1～図4はこの発明の第1の実施例を示しており、図1はパネル型素子の分解斜視図、図2は前記パネル型素子における棒状シール材の一部分の拡大平面図、図3は前記シール材に混入された導電性フィラーの斜視図である。

【00.1.5】この実施例のパネル型電子は、単純マトリックス方式の液晶表示パネルに用いられるものであり、図1のように、ガラスまたは、PET(ポリエチレンテレフタレート)、POC(ポリカーボネート)、ポリエスチル等の樹脂からなる一对の透明基板1.0、2.0と、これらの基板1.0、2.0を接合する枠状のシール材3.0とを備えている。

【00.1.6】前記一对の基板1.0、2.0のうち、図1において下側の第2の基板(以下、下基板という)2.0は、その一側に、図1において上側の第1の基板(以下、上基板という)1.0の外側に突出する端子配列部2.0aを有しており、前記上基板1.0に対応させて配置され、この上基板1.0の周縁部に対応する領域において、前記シール材3.0により上基板1.0と接合されている。

【00.1.7】前記上基板1.0と下基板2.0の直いに対向する内面のうち、前記上基板1.0の内面には、前記シール材3.0で囲まれた領域に形成された複数の第1の透明電極1.1と、前記シール材3.0による基板接合領域に形成された複数の第1のクロス電極1.2などが設けられ、前記下基板2.0の内面には、前記第1の電極1.1と対向する複数の第2の透明電極2.1と、前記複数の第1のクロス電極1.2とそれと対向する複数の第2のクロス電極2.2と、前記端子配列部2.0aに配列形成された複数の端子電極2.3、2.4などが設けられている。

【00.1.8】なお、図では省略しているが、前記上基板1.0と下基板2.0の内面にはそれぞれ、前記シール材3.0で囲まれた領域のほぼ全域にわたって配向膜が設けられており、前記第1の電極1.1および第2の電極2.1は、前記配向膜により覆われている。

【00.1.9】前記上基板1.0の内面に設けられた複数の第1の電極1.1は、行方向(画面の左右方向)に沿わせて直いに平行に形成された走査電極、下基板2.0の内面に設けられた複数の第2の電極2.1は、列方向(画面の上下方向)に沿わせて互いに平行に形成された信号電極であり、前記下基板2.0の端子配列部2.0aは、前記列方向における両端の側縁のうちの一端の側縁に形成されている。

【00.2.0】そして、前記上基板1.0に設けられた前記複数の第1のクロス電極(以下、上クロス電極という)1.2は、それぞれ、前記シール材3.0による基板接合領域のうち、前記下基板2.0の端子配列部2.0aに沿った基板接合領域の所定箇所、例えば前記端子配列部2.0aに沿った基板接合領域の一端側と他端側とに、それぞれ複数ずつ配列形成されている。

【00.2.1】これらの上クロス電極1.2は、前記上基板1.0の内面に形成された前記複数の走査電極(第1の電極)1.1にそれぞれ対応しており、前記複数の走査電極1.1は、それぞれ、その一端または他端から伸出され、前記走査電極1.1の形成領域を迂回させて前記上クロス電極1.2の配列領域に搭がれた複数のリード配線1.3を介

して、対応する前記上クロス電極1.2につながっている。

【00.2.2】また、前記下基板2.0の端子配列部2.0aに配列形成された複数の端子電極2.3、2.4のうち、所定数の端子電極2.3は、この下基板2.0の内面に形成された前記複数の信号電極(第2の電極)2.1にそれぞれ対応する信号電極用端子電極、他の端子電極2.4は、この下基板2.0の内面に形成された前記複数の第2のクロス電極(以下、下クロス電極という)2.2にそれぞれ対応する走査電極用端子電極であり、前記信号電極用端子電極2.3は前記端子配列部2.0aの中央領域に並列され、前記走査電極用端子電極2.4は前記端子配列部2.0aの両端側の領域にそれぞれ複数ずつ配列されている。

【00.2.3】前記複数の信号電極用端子電極2.3は、前記端子配列部2.0aの端縁から前記シール材3.0による基板接合領域内に入り込む長さに形成されており、前記複数の信号電極2.1は、それぞれ、その一端から導出された複数のリード配線2.5を介して、対応する前記信号電極用端子電極2.3につながっている。

【00.2.4】また、前記走査電極用端子電極2.4は、前記端子配列部2.0aの端縁から前記下クロス電極2.2の形成領域にわたって形成されており、前記複数の下クロス電極2.2は、それぞれ、その下クロス電極2.2に対応する走査電極用端子電極2.4と一緒に形成され、これらの走査電極用端子電極2.4に直接つながっている。

【00.2.5】一方、前記本体のシール材3.0は、例えば、エボキシ樹脂等からなりており、このシール材3.0中には、図1および図2に示したように、前記上基板1.0の複数の上クロス電極1.2と、前記下基板2.0の複数の下クロス電極2.2とをそれぞれ電気的に接続するための複数の細小な導電性フィラー3.1が混入されている。

【00.2.6】なお、図1では、前記シール材3.0に混入されたフィラー3.1のうちの一部の領域のフィラーだけを示しているが、このフィラー3.1は、前記シール材3.0の全周に、ほぼ均等に分散して混入されている。

【00.2.7】前記フィラー3.1は、図3に示したように、円形が断面形状をもつ棒状の棒状フィラーであり、アルミニウム系合金または銀等の良好な導電性を有する金属線材を所定長さに切断したものである。

【00.2.8】この棒状フィラー3.1の径(直径)は、前記シール材3.0により所定の間隔を有して接合される一对の基板1.0、2.0の間隔(例えば数μm)と同じに設定されている。

【00.2.9】また、この棒状フィラー3.1の長さは、前記下基板2.0の複数のリード配線2.5および複数の端子電極2.3、2.4のそれぞれの間隔のうちの前記シール材3.0による基板接合領域内における最も小さい間隔と、前記上基板1.0および下基板2.0の複数の上クロス電極1.2および下クロス電極2.2の間隔と、前記上基板1.0の複数のリード配線2.5の間隔のうちの前記基板接合領

域内における最も小さい間隔とのいすれの間隔よりも短く設定されている。

【0030】なお、図1では便宜上、前記棒状フィラー-3.1を、その長さを誇張して示しているが、この棒状フィラー-3.1の長さは、図2に示したように、上述した各間隔のうちの最も小さい間隔、例えば複数の端子電極2.3および2.4の間隔と、そのうちの走査電極用端子電極2.4に直接つながる下クロス電極2.2の間隔の1/2～1/3程度が好ましい。

【0031】また、前記シール材3.0への前記棒状フィラー-3.1の追加量は、図2のよう<sup>1</sup>に、棒状フィラー-3.1同士が互いに触れ合わないように適度の間隔で分布するよう配置するのが望ましい。

【0032】そして、パネル型素子においては、前記シール材3.0中に混入された複数の棒状フィラー-3.1を、前記基板1.0、2.0面と平行に、しかも図1および図2のようにランダムな向きで倒伏させた状態で、上基板1.0と下基板2.0との間に挟持し、前記上基板1.0の複数の上クロス電極1.2と前記下基板2.0の複数の下クロス電極2.2とをそれぞれ、これららのクロス電極1.2、2.2間に挟持された前記棒状フィラー-3.1により電気的に接続している。

【0033】このパネル型素子は、前記上基板1.0と下基板2.0のうちの一方の基板、例えば下基板2.0の内面上の他方の基板（上基板）1.0との接合領域に、前記棒状フィラー-3.1を混入したシール材3.0を、スクリーン印刷法により所定の基板間隔より若干厚く印刷し、他方の基板である上基板1.0の前記シール材3.0で囲まれる領域の内面上に前記基板間隔を規制するための複数のギャップ材を散布した後、これらの基板1.0、2.0を重ね合わせて加圧することにより、基板間隔を前記ギャップ材により規制される範囲に調整し、その状態で前記シール材3.0を硬化させ、このクール材3.0により上基板1.0と下基板2.0とを接合する方法で製造される。

【0034】この場合、前記シール材3.0中に混入された棒状フィラー-3.1は、シール材3.0を基板2.0上に印刷する時は、種々な方向に長さ方向（軸方向）が向いた状態にあるが、このシール材3.0を基板2.0上にスクリーン印刷法により印刷すると、基板2.0面に対して立ち上がる方向に長さ方向が向いた状態の棒状フィラー-3.1が、基板2.0面と平行に倒伏した状態になる。ただし、倒伏した棒状フィラー-3.1の長さ方向は、図2のようランダムである。

【0035】そのため、前記シール材3.0を印刷した下基板2.0と、他方である上基板1.0とを重ね合わせて加圧すると、前記シール材3.0中の全ての棒状フィラー-3.1が、基板1.0、2.0面と平行に倒伏した状態でこれらの基板1.0、2.0間に挟持される。

【0036】なお、上記製造方法では、前記シール材3.

0を、一方の基板、例えば下基板2.0だけに印刷しているが、このシール材3.0は、上基板1.0と下基板2.0の両方に印刷してもよく、その場合は、いずれか一方の基板に印刷するシール材に前記棒状フィラー-3.1を混入しておけばよい。

【0037】また、この実施例のパネル型素子は、上述したように、液晶表示パネルに用いられるものであり、この液晶表示パネルは、一对の基板1.0、2.0間の前記シール材3.0で囲まれた領域に、前記シール材3.0の印刷時にその一部を欠きさせて形成した液晶注入口3.1（図1参照）から真空注入法により液晶を充填し、その後、前記液晶注入口3.1を封止して製造される。

【0038】図4は、上記のようにして製造されたパネル型素子のクロス電極部分における拡大断面図であり、

(a)は前記棒状フィラー-3.1の長さ方向に沿った断面を示し、(b)は前記棒状フィラー-3.1の長さ方向に沿った断面を示している。

【0039】この図4の(a)および(b)のよう<sup>1</sup>に、上記パネル型素子では、前記シール材3.0中に混入され、基板1.0、2.0面と平行に倒伏した状態で前記上基板1.0と下基板2.0との間に挟持された前記棒状フィラー-3.1が、前記上基板1.0と下基板2.0に設けられた上クロス電極1.2および下クロス電極2.2に対し、この棒状フィラー-3.1の長さ方向に沿って確接触する。

【0040】そのため、このパネル型素子によれば、前記上クロス電極1.2および下クロス電極2.2と前記棒状フィラー-3.1との接触部の電気抵抗を低くし、前記上クロス電極1.2と下クロス電極2.2とを良好な導通状態で接続することができる。

【0041】しかも、このパネル型素子では、前記棒状フィラー-3.1の長さが、前記下基板2.0の複数のリード配線2.5および複数の端子電極2.3、2.4のそれぞれの間隔のうちの前記シール材3.0による基板接合領域内における最も小さい間隔と、前記上基板1.0および下基板2.0の複数の上クロス電極1.2および下クロス電極2.2の間隔と、前記上基板1.0の複数のリード配線1.3の間隔のうちの前記基板接合領域内における最も小さい間隔とのいすれの間隔よりも短いため、下基板2.0の端子電極2.3同士または信号電極用端子電極2.4同士および走査電極用端子電極2.4同士、あるいは前記端子電極2.3、2.4と他の信号電極用端子電極2.3につながるリード配線1.3とが前記棒状フィラーを介して短絡されることなく、また、僅り合う上クロス電極1.2同士および下クロス電極2.2同士または前記上クロス電極1.2と他の上クロス電極1.2に対応する下クロス電極2.2とが前記棒状フィラー-3.1により短絡されることもない。

【0042】なお、上記実施例では、上基板1.0に形成する上クロス電極1.2を、シール材3.0による基板接合領域のうち、下基板2.0の端子配列部2.0aに沿った基

板接合領域に設けているが、この上クロス電極1・2は、前記下基板2・0の端子配列部2・0・9以外の側縁に沿う基板接合領域に設けてもよく、その場合は、下基板2・0に設けるクロス電極2・2を前記上クロス電極1・2に対向させて形成するとともに、この下クロス電極2・2と、下基板2・0の端子配列部2・0・9に配列形成された複数の端子電極2・3、2・4のうちの前記下クロス電極2・2に対応する走査電極用端子電極2・4となりード配線を介して接続すればよい。

【00・4・3】図5～図8はこの発明の第2の実施例を示しており、図5および図6はシール材中に混入する棒状フィラーの初期状態および後方向に加圧した状態の剖視図、図7はパネル型素子のクロス電極部分における棒状フィラーの後方向に沿った拡大断面図である。

【00・4・4】この実施例で用いた棒状フィラー3・2は、円形な断面形状をもつ極細の棒状に形成された樹脂材3・3と、この樹脂材3・3の表面全体を接着する導電性金属膜3・4とからなるものであり、前記樹脂材3・3は、熱可塑性樹脂または仮焼成状態の熱硬化性樹脂を延伸した樹脂線材を所定長さに切断して形成され、前記導電性金属膜3・4は、樹脂材3・3の表面に、アルミニウム系合金または銀等の良好な導電性を有する金属をメッキして形成されている。

【00・4・5】なお、この棒状フィラー3・2の前記樹脂材3・3の径(直径)は、棒状のシール材3・0により所定の間隔を有して接合される一对の基板1・0、2・0の間隔(例えば数μm)よりも若干大きく設定されており、長さは、上記第1の実施例で用いた導電性金属からなる棒状フィラー3・1の長さとはほぼ同じ長さ(下基板2・0の複数のリード配線2・5および複数の端子電極2・3、2・4のそれぞれの間隔のうちのシール材3・0による基板接合領域内における最も小さい間隔と、上基板1・0および下基板2・0の複数の上クロス電極1・2および下クロス電極2・2の間隔と、上基板1・0と下基板2・0との間隔のうちの前記基板接合領域内における最も小さい間隔とのいすれの間隔よりも短い長さ)に設定されている。

【00・4・6】この実施例によれば、上記第1の実施例と同様な効果が得られるとともに、前記棒状フィラー3・2が、棒状に形成された樹脂材3・3と、この樹脂材3・3の表面全体を接着する導電性金属膜3・4とからなっているため、上基板1・0と下基板2・0とを接合する際の加圧による棒状フィラー3・2の流れ変形により、前記導電性金属膜3・4に図5および図7のように亀裂3・4-aが発生し、その亀裂3・4-aから図7のように前記樹脂材3・3が込み出しても前記上基板1・0および下基板2・0に接着するため、前記棒状フィラー3・2を前記上基板1・0および下基板2・0に、より強固に固定することができる。

【00・4・7】なお、前記樹脂材3・3が熱可塑性樹脂である場合は、前記基板1・0、2・0の接合時に前記熱可塑性樹脂の溶融温度に加熱し、前記樹脂材3・3が仮焼成状態

の熱硬化性樹脂である場合は、前記基板1・0、2・0の接合時に前記熱硬化性樹脂の再溶融温度に加熱すればよく、この加熱により内部の樹脂材3・3が溶融し、その樹脂が、加圧による棒状フィラー3・2の流れ変形とともにあって前記導電性金属膜3・4に発生した亀裂3・4-aから込み出しそれ、前記上基板1・0および下基板2・0に接着する。

【00・4・8】この第2の実施例で用いた棒状フィラー3・2は、特に、前記上基板1・0と下基板2・0の一方または両方が樹脂基板(P・E・T、P・C、ポリエチレン等からなる樹脂基板)である場合に効果的である。

【00・4・9】すなわち、樹脂基板は、温度や湿度等の環境条件により伸縮するため、基板とフィラーとが常に接触しているだけであると、前記樹脂基板の伸びにより、この基板のフィラー接触部が前記フィラーから離れるようになると同時に、前記基板の内面に形成されたクロス電極と前記フィラーとの間に導通不良が発生する。

【00・5・0】しかし、上記第2の実施例で用いた棒状フィラー3・2によれば、加圧による流れ変形により導電性金属膜3・4に発生した亀裂3・4-aから込み出しそれ、前記樹脂材3・3が上基板1・0および下基板2・0に接着して、前記棒状フィラー3・2と前記上基板1・0および下基板2・0とを強固に固定するため、前記上基板1・0と下基板2・0の一方または両方が樹脂基板であり、温度や湿度等の環境条件により前記樹脂基板の伸びが生じても、この基板のフィラー接触部が前記棒状フィラーから離れるようにならない。

【00・5・1】なお、上記空隙側のパネル型素子は、单純マトリックス方式の液晶表示パネルに用いられるものであるが、この発明は、アクティブマトリックス方式またはセグメント方式の液晶表示パネルや、液晶以外の電気光学装置(例えばエレクトロクロミックや電気泳動装置等)を用いる電気光学表示パネル、あるいは、接触方式または容量方式のタッチ入力パネル等に用いられるパネル型素子にも適用することができる。

【00・5・2】例えば、T・F・T(薄膜トランジスタ)をアクティブ素子とするアクティブマトリックス方式の液晶表示パネルに用いられるパネル型素子の場合は、二対の基板のうち、第1の基板の内面に、棒状のシール材で囲まれた領域に形成された対向電極(第1の電極)と、前記シール材による基板接合領域に形成された前記対向電極につながる少なくとも1つの端子電極とが設けられ、前記第2の基板の内面に、マトリックス状に配列する複数の画素電極(第2の電極)と、これらの画素電極にそれぞれ接続された複数のT・F・Tと、これららのT・F・Tにゲート信号およびデータ信号を供給する複数のゲート配線およびデータ配線と、前記第1のクロス電極と対向する第2のクロス電極と、この第2の基板の一端と一側とに形成された端子配列部に配列形成され、前記ゲート配線およびデータ配線と前記第2のクロス電極に直接または複数のリード配線を介してそれぞれつながる複数の端子

電極とが設けられる。

【00053】このパネル型素子では、前記第1の基板前記シール材で囲まれた領域に形成された対向電極が、第2の基板にマトリックス状に配列形成された複数の端子電極の全てに対応する一枚膜状の電極であるため、この対向電極につながる前記第1のクロス電極およびこの第1のクロス電極に対応する前記第2のクロス電極は、1つずつか、あるいは充分な距離において配置された数個の端子電極である。

【00054】したがって、このパネル型素子の場合には、ゆ状のシール材中に進入する棒状フィラーの長さを、前記第2の基板の複数のリード配線および複数の端子電極のそれぞれの間隔のうち、前記基板接合領域内における最も小さい間隔よりも短い長さ(以下ましくは、前記最も小さい間隔の1/2~1/3程度)とし、隣り合うリード配線同士または端子電極同士、あるいは前記端子電極と他の端子電極につながるリード配線とが前記棒状フィラーを介して接続されることがないようにすればよい。

【00055】

【発明の効果】この発明のパネル型素子は、少なくとも1つの第1の電極が設けられるとともに、棒状のシール材による基板接合領域に前記第1の電極につながる少なくとも1つの第1のクロス電極が設けられた第1の基板と、前記第1の電極と対向する複数の第2の電極と前記第1のクロス電極と対応する第2のクロス電極が設けられるとともに、前記第1の基板の外側に突出する端子配列部に前記複数の第2の電極および前記第2のクロス電極に直接または複数のリード配線を介してそれそれつながる複数の端子電極が配列形成された第2の基板とを接合する時記シール材中に、前記複数のリード配線および前記複数の端子電極のそれぞれの間隔のうち、前記基板接合領域内における最も小さい間隔よりも短い長さを有する棒状の複数の導電性フィラーを進入し、これららの棒状フィラーを、前記基板面と平行に倒伏した状態で前記第1の基板と第2の基板との間に保持させ、前記第1のクロス電極と前記第2のクロス電極とを、これららのクロス電極間に保持された前記棒状フィラーにより電気的に接続したものであるため、前記第1のクロス電極と第2のクロス電極とを良好な導通状態で、しかも、隣り合うリード配線同士または端子電極同士、あるいは前記端子電極と他の端子電極につながるリード配線とが前記棒状フィラーを介して接続されることなく構成できる。

【00056】この発明のパネル型素子において、前記第1の基板に設けられた第1のクロス電極と、前記第2の基板に設けられた第2のクロス電極とがそれぞれ、前記シール材による基板接合領域の所定箇所に複数ずつ配列形成されているときは、前記シール材中に进入された複数の棒状フィラーの長さを、前記複数のリード配線および複数の端子電極のそれぞれの間隔のうちの前記基板接

合領域内における最も小さい間隔と、前記複数の第1および第2のクロス電極の間隔のいずれよりも短くすればよく、このようにすることにより、隣り合う第1のクロス電極同士および第2のクロス電極同士または前記第1クロス電極と他の第1クロス電極に対応する第2のクロス電極との複数の端子電極による短絡もなくすことができる。

【00057】また、このパネル型素子において、前記シール材中に进入する棒状フィラーは、導電性金属からなるものでも、棒状に形成された樹脂材とこの樹脂材の表面を接着する導電性金属膜とからなるものでもよく、後者の棒状フィラーによれば、第1の基板と第2の基板とを接合する際の加圧による前記棒状フィラーの流れ変形により前記導電性金属膜に亀裂が発生し、その亀裂から前記樹脂材が漏み出して前記第1および第2の基板に接着するため、前記棒状フィラーを前記第1および第2の基板により強固に固定することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例を示すパネル型素子の分解斜視図。

【図2】第1の実施例のパネル型素子におけるゆ状シール材の一部分の拡大平面図。

【図3】前記シール材に进入された導電性フィラーの斜視図。

【図4】第1の実施例のパネル型素子のクロス電極部分における棒状フィラーの径方向および長さ方向に沿った拡大断面図。

【図5】この発明の第2の実施例を示すシール材中に进入する棒状フィラーの初期状態の斜視図。

【図6】前記棒状フィラーの径方向に加圧した状態の斜視図。

【図7】第2の実施例のパネル型素子のクロス電極部分における棒状フィラーの径方向に沿った拡大断面図。

【符号の説明】

1.0…上基板(第1の基板)

1.1…走査電極(第1の電極)

1.2…上クロス電極(第1のクロス電極)

1.3…リード配線

2.0…下基板(第2の基板)

2.0a…端子配列部

2.1…信号電極(第2の電極)

2.2…下クロス電極(第2のクロス電極)

2.3, 2.4…端子電極

2.5…リード配線

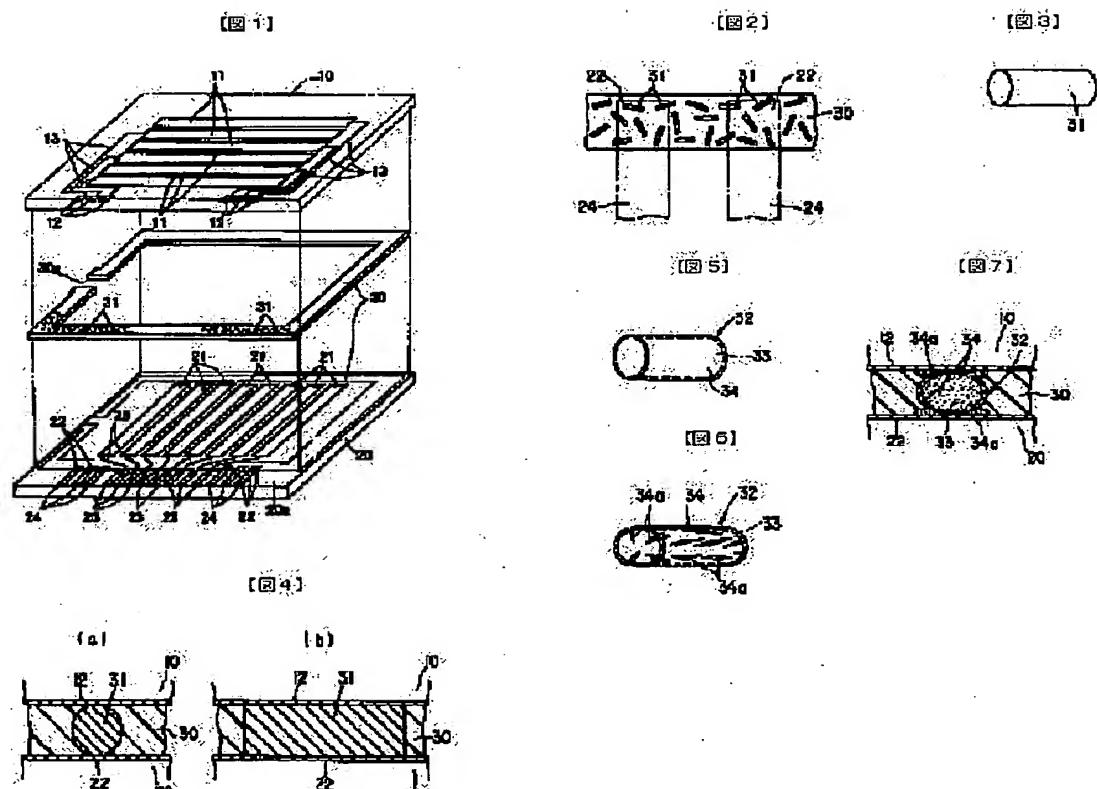
3.0…シール材

3.1, 3.2…棒状フィラー

3.3…樹脂材

3.4…導電性金属膜

3.4a…亀裂



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**